

10/53559

25.12.03

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月10日

出願番号
Application Number: 特願2003-005037
[ST. 10/C]: [JP2003-005037]

REC'D 19 FEB 2004

WIPO

PCT

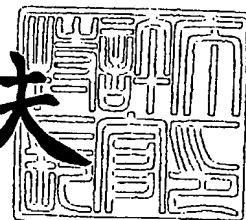
出願人
Applicant(s): セイコーエプソン株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3006533

【書類名】 特許願

【整理番号】 15P009

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/20

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 竹内 啓佐敏

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100091292

 【弁理士】

 【氏名又は名称】 増田 達哉

 【電話番号】 3595-3251

【選任した代理人】

 【識別番号】 100091627

 【弁理士】

 【氏名又は名称】 朝比 一夫

 【電話番号】 3595-3251

【手数料の表示】

 【予納台帳番号】 007593

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0015134

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 共振制御装置及び共振デバイスの制御方法

【特許請求の範囲】

【請求項 1】 共振特性を有する共振デバイスを駆動するための共振制御装置であって、

入力される電圧信号に応じて、所定の周波数を持つ基準信号を生成する基準信号生成手段と、

前記基準信号生成手段によって生成された基準信号の周波数を分周して、所定の周波数の信号を出力する分周器と、

前記分周器から出力される信号の位相を所定の間隔だけ遅延させる位相基準形成部と、

前記共振デバイスの駆動に同期して前記共振デバイスの駆動状態を検出する共振センサの出力信号の電圧値と所定の電圧値とを比較する電圧比較器と、

前記電圧比較器から出力される信号の位相と前記位相基準形成部から出力される信号の位相とを比較する位相比較器と、

前記基準信号生成手段から出力される基準信号に基づいて、前記共振デバイスに供給する駆動信号のデューティ比を制御するデューティ制御手段と、

を備えることを特徴とする共振制御装置。

【請求項 2】 前記位相比較器の出力信号の高域成分をカットするローパスフィルタを更に備え、

前記基準信号生成手段に入力される前記電圧信号は、前記ローパスフィルタの出力信号である請求項 1 に記載の共振制御装置。

【請求項 3】 前記位相基準形成部は、前記デューティ制御手段によって制御される前記駆動信号のデューティ比に基づいて、前記位相比較器において位相を比較する際に前記位相基準形成部で遅延された信号の立ち上がり立ち下がりいずれを用いるかを選択可能である請求項 1 又は 2 に記載の共振制御装置。

【請求項 4】 前記デューティ制御手段は、10～50%乃至は50～90%のいずれかの範囲のデューティ比において前記共振デバイスを駆動制御する請求項 1 乃至 3 のいずれかに記載の共振制御装置。

【請求項 5】 前記共振センサの出力信号は、前記共振デバイスの共振周波数に対応し、前記デューティ制御手段から出力される前記駆動信号の周波数と前記共振周波数とが等しくなるように制御する請求項 1 乃至 4 のいずれかに記載の共振制御装置。

【請求項 6】 前記デューティ制御手段によって制御される前記駆動信号のデューティ比に基づいて、前記共振デバイスを PWM 制御する請求項 1 乃至 5 のいずれかに記載の共振制御装置。

【請求項 7】 前記 PWM 制御は、前記共振デバイスの共振周波数を維持するように実行される請求項 6 に記載の共振制御装置。

【請求項 8】 前記電圧比較器と前記位相比較器との間に配置され、前記電圧比較器から出力される信号の位相を補正して、該位相を補正された信号を前記位相比較器に出力する第 1 の位相補正手段を更に備える請求項 1 乃至 7 のいずれかに記載の共振制御装置。

【請求項 9】 前記共振デバイスの共振周波数の位相に応じて、前記デューティ制御手段の出力信号の位相を補正する第 2 の位相補正手段を更に備える請求項 1 乃至 8 のいずれかに記載の共振制御装置。

【請求項 10】 前記デューティ制御手段と並列に、前記デューティ制御手段と同様の機能を有するデューティ制御手段を更に一つ備え、

これら 2 つのデューティ制御手段のそれぞれは、前記共振デバイスの正駆動及び逆駆動にそれぞれ対応し、独立してデューティ比を制御可能である請求項 1 乃至 9 のいずれかに記載の共振制御装置。

【請求項 11】 前記デューティ制御手段と並列に、前記デューティ制御手段と同様の機能を有するデューティ制御手段を更に少なくとも一つ備え、

これら少なくとも 2 つのデューティ制御手段は、いずれも前記共振デバイスの正駆動に対応し、独立してあるいは協動してデューティ比を制御可能である請求項 1 乃至 9 のいずれかに記載の共振制御装置。

【請求項 12】 共振特性を有する共振デバイスを駆動する共振制御装置であって、前記共振デバイスの駆動と同期した共振センサからの出力信号を帰還値として、前記共振デバイスの駆動信号の位相と前記帰還値である出力信号の位相

とを位相比較し、その位相差成分に応じて、前記共振デバイスに前記駆動信号を出力することを特徴とする共振制御装置。

【請求項 13】 入力される電圧値に応じて、所定の周波数を持つ基準信号を生成し、この生成された基準信号の周波数を分周して、所定の周波数の信号を出力し、この信号の位相を所定の間隔だけ遅延させるとともに、共振デバイスの駆動に同期して該共振デバイスの駆動状態を検出する共振センサの出力信号の電圧値と所定の電圧値とを比較して電圧比較信号を出力し、前記遅延された信号の位相と前記電圧比較信号の位相とを比較して位相比較信号を出力し、この位相比較信号が前記入力される電圧値に対応することを特徴とする共振デバイスの制御方法。

【請求項 14】 前記基準信号に基づいて、前記共振デバイスに供給する駆動信号のデューティ比を制御し、このデューティ比を用いて前記共振デバイスを PWM 制御する請求項 13 に記載の共振デバイスの制御方法。

【請求項 15】 前記基準信号に基づいて、前記共振デバイスに供給する正駆動用と逆駆動用の 2 種類の駆動信号のデューティ比をそれぞれ制御し、これらのデューティ比を用いて前記共振デバイスを PWM 制御する請求項 13 に記載の共振デバイスの制御方法。

【請求項 16】 前記基準信号に基づいて、前記共振デバイスに供給する正駆動用の少なくとも 2 つの駆動信号のデューティ比をそれぞれあるいは一括して制御し、これらのデューティ比を用いて前記共振デバイスを PWM 制御する請求項 13 に記載の共振デバイスの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ピエゾ効果を利用した共振デバイスを駆動制御する共振制御装置及び共振デバイスの制御方法に関する。

【0002】

【従来の技術】

圧電素子のピエゾ効果を利用した駆動装置（超音波モータ（例えば、特許文献

1や特許文献2)などを含む)、ピエゾ効果を利用した表示装置などの共振制御装置では、駆動効率が最大となる共振周波数を得るには、ピエゾ特性、温度特性、周辺メカ構造特性などにより、共振周波数の共振点が変動してしまう。

そのため、従来の共振制御装置は、ピエゾセンサを用いて負荷の駆動状態を電位(電圧値)として検出し、CPU(プロセッサ)を用いてこのピエゾセンサの出力信号を積分演算し、この演算結果(電位の積分量)が最大付近に至るまで駆動周波数を上下させ、演算結果が最大となるときの周波数を共振周波数として利用していた。

【0003】

ここで、図11を参照して、従来の共振制御装置の構成を説明する。図11は、従来の共振制御装置200の主要部を概略的に示すブロック図である。この図11において、従来の共振制御装置200は、CPU1と、AMP部4と、GAIN調整AMP部5と、電圧制御発振器であるVCO(Voltage Controlled Oscillator)10と、アナログ/デジタルコンバータであるADC(Analog-Digital Converter)6と、2つのデジタル/アナログコンバータであるDAC(Digital-Analog Converter)7、8とを備えており、AMP部4及びGAIN調整AMP部5を介してピエゾセンサ2及びピエゾ素子3に接続される。

【0004】

上述のように、ピエゾセンサ2から出力されたピエゾ負荷3の駆動状態の電圧値(電位データ)は、AMP部4により増幅され、ADC6によりデジタルデータに変換されてからCPU1に入力される。CPU1は、このように入力された電圧値(電位)を積分演算し、ピエゾセンサ2の共振周波数領域に電圧値が達するまでピエゾ負荷3への駆動信号の周波数を上昇させる(後述の図3参照)。この駆動信号の周波数の上昇中、CPU1は、DAC7を介して瞬間的な電圧値データをVCO10に出力し、VCO10は、その入力される電圧値データに応じて、所定の周波数を持つピエゾ負荷3の駆動信号を生成して、GAIN調整AMP部5に出力する。

【0005】

GAIN調整AMP部5は、DAC8を介してCPU1から入力される遅延(

DELAY) 制御信号に基づいて、VCO10で生成された駆動信号のGAIN (利得) を調整するとともに、ピエゾセンサ2から出力される検出信号の位相とこの駆動信号の位相が同期するように、駆動信号の位相を遅延させ (遅延処理)、その位相を遅延させた駆動信号をピエゾ負荷3に出力する。

【0006】

そして、CPU1は、上記駆動信号の周波数を上下させることによって、所定の周波数において上記電圧値を積分演算した値が最大付近であると判断すると、その所定の周波数が共振点である、すなわち、上記駆動信号の周波数がピエゾ負荷3の共振周波数に到達したと判定し (周波数判断処理)、DAC7を介してVCO10にそのときの電圧値を出力する。VCO10は、その電圧値に対応する周波数 (共振周波数) を有する駆動信号を出力し、GAIN調整AMP部5においてGAIN調整及び位相遅延処理を行った後、その駆動信号によってピエゾ負荷3を出力する。共振周波数が得られてからは、従来の共振制御装置200は、その共振周波数を有する駆動信号によってピエゾ負荷3を駆動制御する。

【0007】

【特許文献1】

特開平3-243183号公報

【特許文献2】

特開平3-289375号公報

【0008】

【発明が解決しようとする課題】

しかしながら、従来の共振制御装置200では、例えば、姿勢制御などの急速な駆動を実現させる場合には、上述のように駆動信号の周波数を徐々に上昇させてピエゾ負荷3の共振周波数を得るまでの時間がCPU1 (プロセッサ) の演算処理を用いているために相当かかってしまい、制御の不安定期間、すなわち、CPU1の演算処理中の期間が長く発生してしまうという問題があった。

【0009】

また、従来の共振制御装置200は、ADC6やDAC7、8などを用いているように、アナログ周辺回路が多く存在するために、デジタルによるICチップ

への集積化が困難であるという問題もあった。

さらに、従来の共振制御装置 200 は、CPU1（プロセッサ）を用いているために、CPU1 による演算処理などを行うためのシステムとして大掛かりなものとなってしまう、回路規模のスケールダウンを行う（回路規模を小さくする）のが困難であるという問題もあった。

【0010】

したがって、上記課題を解決するために、本発明の目的は、共振デバイスの共振周波数を得るまでの時間が短く、それにより、姿勢制御の対象物の静止・動作を瞬時に制御でき（デューティ比を制御でき）、IC への集積化が容易であり、回路規模を小さくすることができる共振制御装置及び共振デバイスの制御方法を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明の一態様において、本発明の共振制御装置は、

共振特性を有する共振デバイスを駆動するための共振制御装置であって、

入力される電圧信号に応じて、所定の周波数を持つ基準信号を生成する基準信号生成手段と、

前記基準信号生成手段によって生成された基準信号の周波数を分周して、所定の周波数の信号を出力する分周器と、

前記分周器から出力される信号の位相を所定の間隔だけ遅延させる位相基準形成部と、

前記共振デバイスの駆動に同期して前記共振デバイスの駆動状態を検出する共振センサの出力信号の電圧値と所定の電圧値とを比較する電圧比較器と、

前記電圧比較器から出力される信号の位相と前記位相基準形成部から出力される信号の位相とを比較する位相比較器と、

前記基準信号生成手段から出力される基準信号に基づいて、前記共振デバイスに供給する駆動信号のデューティ比を制御するデューティ制御手段と、
を備えることを特徴とする。

【 0 0 1 2 】

本発明の共振制御装置によれば、共振センサの出力信号を帰還値として、共振デバイスの駆動信号の周波数を自己調整してこの共振デバイスを駆動している。したがって、本発明の共振制御装置によって、共振デバイスの共振周波数を得るまでの時間を短縮することができ、それにより、姿勢制御の対象物の静止・動作を瞬時に制御できるとともに（デューティ比を制御できるとともに）、本発明の共振制御装置の I C への集積化を容易とし、それによって、本発明の共振制御装置の回路規模をスケールダウンすることができる。

【 0 0 1 3 】

ここで、好ましくは、本発明の共振制御装置は、前記位相比較器の出力信号の高域成分をカットするローパスフィルタを更に備え、

前記基準信号生成手段に入力される前記電圧信号は、前記ローパスフィルタの出力信号であってもよい。

好ましくは、前記位相基準形成部は、前記デューティ制御手段によって制御される前記駆動信号のデューティ比に基づいて、前記位相比較器において位相を比較する際に前記位相基準形成部で遅延された信号の立ち上がり立ち下がりのいずれを用いるかを選択可能である。

【 0 0 1 4 】

また、好ましくは、前記デューティ制御手段は、10～50%乃至は50～90%のいずれかの範囲のデューティ比において前記共振デバイスを駆動制御するように構成される。

ここで、好ましくは、前記共振センサの出力信号は、前記共振デバイスの共振周波数に対応し、前記デューティ制御手段から出力される前記駆動信号の周波数と前記共振周波数とが等しくなるように制御する。

【 0 0 1 5 】

また、本発明の共振制御装置は、前記デューティ制御手段によって制御される前記駆動信号のデューティ比に基づいて、前記共振デバイスを P W M 制御するように構成されてもよい。

この場合において、好ましくは、前記 P W M 制御は、前記共振デバイスの共振

周波数を維持するように実行される。

【0016】

また、本発明の共振制御装置は、前記電圧比較器と前記位相比較器との間に配置され、前記電圧比較器から出力される信号の位相を補正して、該位相を補正された信号を前記位相比較器に出力する第1の位相補正手段を更に備えてもよい。

さらに、本発明の共振制御装置は、前記共振デバイスの共振周波数の位相に応じて、前記デューティ制御手段の出力信号の位相を補正する第2の位相補正手段を更に備えてもよい。

【0017】

ここで、本発明の別の実施形態では、本発明の共振制御装置は、前記デューティ制御手段と並列に、前記デューティ制御手段と同様の機能を有するデューティ制御手段を更にもう一つ備え、

これら2つのデューティ制御手段のそれぞれは、前記共振デバイスの正駆動及び逆駆動にそれぞれ対応し、独立してデューティ比を制御可能であるように構成されてもよい。

【0018】

また、本発明の別の実施形態において、本発明の共振制御装置は、前記デューティ制御手段と並列に、前記デューティ制御手段と同様の機能を有するデューティ制御手段を更に少なくとももう一つ備え、

これら少なくとも2つのデューティ制御手段は、いずれも前記共振デバイスの正駆動に対応し、独立してあるいは協働してデューティ比を制御可能であるように構成されてもよい。

【0019】

なお、本発明の共振制御装置は、共振特性を有する共振デバイスを駆動する共振制御装置であって、前記共振デバイスの駆動と同期した共振センサからの出力信号を帰還値として、前記共振デバイスの駆動信号の位相と前記帰還値である出力信号の位相とを位相比較し、その位相差成分に応じて、前記共振デバイスに前記駆動信号を出力することを特徴とする。

【0020】

また、本発明の別の態様では、本発明の共振デバイスの制御方法は、入力される電圧値に応じて、所定の周波数を持つ基準信号を生成し、この生成された基準信号の周波数を分周して、所定の周波数の信号を出力し、この信号の位相を所定の間隔だけ遅延させるとともに、共振デバイスの駆動に同期して該共振デバイスの駆動状態を検出する共振センサの出力信号の電圧値と所定の電圧値とを比較して電圧比較信号を出力し、前記遅延された信号の位相と前記電圧比較信号の位相とを比較して位相比較信号を出力し、この位相比較信号が前記入力される電圧値に対応することを特徴とする。

ここで、本発明の共振デバイスの制御方法は、好ましくは、前記基準信号に基づいて、前記共振デバイスに供給する駆動信号のデューティ比を制御し、このデューティ比を用いて前記共振デバイスをPWM制御してもよい。

【0021】

また、好ましくは、本発明の共振デバイスの制御方法は、前記基準信号に基づいて、前記共振デバイスに供給する正駆動用と逆駆動用の2種類の駆動信号のデューティ比をそれぞれ制御し、これらのデューティ比を用いて前記共振デバイスをPWM制御してもよい。

さらに、好ましくは、本発明の共振デバイスの制御方法は、前記基準信号に基づいて、前記共振デバイスに供給する正駆動用の少なくとも2つの駆動信号のデューティ比をそれぞれあるいは一括して制御し、これらのデューティ比を用いて前記共振デバイスをPWM制御してもよい。

【0022】

【発明の実施の形態】

以下、図1～図10を参照して本発明に係る共振制御装置及び共振デバイスの制御方法の好適な実施形態を詳細に説明する。なお、この実施形態は例示として挙げるものであり、これにより本発明の内容を限定的に解釈すべきではない。

まず、本発明の共振制御装置100の構成を説明する。図1は、本発明の共振制御装置100の主要部（回路構成図）を示す概略的なブロック図である。この図1において、本発明の共振制御装置100は、VCO（基準信号生成手段）10と、分周器20と、デューティ制御部（デューティ制御手段）30と、電圧比

較器 40 と、位相基準形成部 50 と、第 1 の位相補正手段（位相補正 A） 51 と、第 2 の位相補正手段（位相補正 B） 52 と、位相比較器 60 と、ローパスフィルタ（LPF） 70 と、ドライバ（駆動回路） 80 と、電圧比較器 40 の基準電圧となる電圧値を設定する基準電圧設定手段 90 とを備えている。なお、本発明の共振制御装置 100 が駆動制御するピエゾ負荷（共振デバイス） 3 は、ドライバ 80 に接続され、このピエゾ負荷 3 の駆動に同期してピエゾ負荷 3 の駆動状態を検出しているピエゾセンサ 2 は、電圧比較器 40 の一方の入力端子に接続される。以下、各構成要素について説明する。なお、CPU1 は、図 1 に示すように、分周器 20 と、デューティ制御部 30 と、位相基準形成部 50 と、第 1 の位相補正手段 51 と、第 2 の位相補正手段 52 とを制御するためのものである。

【0023】

VCO10 は、LPF70 によって高域除去された後述する位相比較器 60 の出力信号（電圧信号）に基づいて、所定の周波数を持つ基準信号を生成して出力する。VCO10 の出力信号は、分周器 20 と、デューティ制御部 30 と、位相基準形成部 50 と、第 1 の位相補正手段 51 とに入力される。

分周器 20 は、VCO10 の出力信号である基準信号の周波数を所定倍の周波数を持つ信号に分周するものであり、分周された信号（分周器 20 の出力信号）は、位相基準形成部 50 と、第 2 の位相補正手段 52 とに入力される。なお、分周器 20 の分周率は、CPU1 によって設定制御される。

【0024】

デューティ制御部 30 は、CPU1 の制御によって、ピエゾ負荷 3 の駆動信号のデューティ比を制御するものである。デューティ制御部 30 の出力信号は、第 2 の位相補正手段 52 に入力される。第 2 の位相補正手段 52 は、デューティ制御部 30 から入力された制御信号に基づいて、分周器 20 の出力信号のデューティ比を設定制御し、その信号（駆動信号）をドライバ 80 に出力する。ドライバ 80 は、駆動信号をピエゾ負荷 3 に入力するものであり、駆動信号に基づいて、ピエゾ負荷 3 を駆動制御する。なお、ピエゾ負荷 3（ピエゾ素子）のデューティ比と駆動ベクトル特性については後述する（図 4 参照）。

【0025】

ピエゾセンサ 2 は、ピエゾ負荷 3 の駆動に同期してピエゾ負荷 3 の駆動状態を検出し、ピエゾセンサ 2 の出力信号である検出信号（電圧信号）は、電圧比較器 40 の一方の入力端子に入力される。また、電圧比較器 40 の比較基準となる電圧信号は、基準電圧設定手段 90 によって設定され、電圧比較器 40 の他方の入力端子に入力される。なお、基準電圧設定手段 90 は、図示のように、2 つの抵抗あるいは可変抵抗と、定電圧源とから構成され、基準電圧信号の電圧値をマニュアル（手動）で設定し、あるいは設定できないものであるが、本発明はこれに限定されず、例えば、CPU 1 によって設定制御可能なものでもよい。この基準電圧信号の電圧値（所定の電圧値（しきい値））は、利用されるピエゾ負荷 3 の共振周波数特性によって予め設定されているものであるが、詳細については後述する。

【0026】

電圧比較器 40 は、入力された基準電圧信号とピエゾセンサ 2 の出力信号（検出信号）との電圧値の大小を比較し、ピエゾセンサ 2 の出力信号の振幅が基準電圧信号の電圧値よりも大きいときに High レベルの信号を、また、小さいときに Low レベルの信号を第 1 の位相補正手段 51 に出力する。すなわち、電圧比較器 40 は、ピエゾセンサ 2 の出力信号を二値化して、その二値化信号（High 又は Low レベルの信号）を第 1 の位相補正手段 51 に出力するものである。

【0027】

位相基準形成部 50 は、分周器 20 の出力信号の位相を所定の間隔（時間）だけ遅延させるとともに、CPU 1 及びデューティ制御部 30 によって設定制御される駆動信号のデューティ比に基づいて、この遅延させた信号の立ち上がりのタイミング及び立ち下がりのタイミングのいずれを用いるかを選択するものである。位相基準形成部 50 から出力される遅延された信号は、位相比較器 60 の一方の入力端子に入力される。なお、位相基準形成部 50 の動作については後述する。

【0028】

第 1 の位相補正手段 51 は、CPU 1 の制御によって、電圧比較器 40 から入力された電圧比較信号の位相を遅延させるものである。第 1 の位相補正手段 51

から出力される遅延された信号は、位相比較器 60 の他方の入力端子に入力される。このように、本発明の共振制御装置 100 は、位相基準形成部 50 及び第 1 の位相補正手段 51 によって、位相比較器 60 の 2 つの入力端子に入力されるそれぞれの信号の位相を遅延させることができるので、位相基準形成部 50 から入力される信号を見かけ上進ませているように調整することができる。

【0029】

位相比較器 60 は、位相基準形成部 50 から入力された信号の位相と、第 1 の位相補正手段 51 から入力された信号の位相とを位相比較する。そして、位相比較器 60 は、位相基準形成部 50 の出力信号の位相位置（適正位相位置）に対して第 1 の位相補正手段の出力信号の位相位置（時間軸上での立ち上がりの位置）が遅い場合には、High レベルの信号を LPF 70 に出力し、反対に遅い場合には、Low レベルの信号を LPF 70 に出力する。なお、位相比較器 60 に入力される 2 つの信号がともに High レベルである場合（Hi-Z）、位相比較器 60 は、0 レベルに対応する信号を出力する。すなわち、位相比較器 60 は、位相基準形成部 50 及び第 1 の位相補正手段 51 から入力される 2 つの信号に基づいて、LPF 70 に三値化信号（電圧信号）を出力するものである。

【0030】

LPF 70 は、位相比較器 60 から入力された位相比較信号（三値化信号）の高域成分を除去し、この高域除去した電圧信号を VCO 10 に出力する。このように、本発明の共振制御装置 100 は、ピエゾセンサ 2 によって検出されたピエゾ負荷 3 の駆動状態を基準信号生成手段である VCO 10 に帰還して、駆動信号の周波数（共振周波数）を制御している。

なお、電圧比較器 40 の出力信号（すなわち、ピエゾセンサ 2 の検出信号）を源発振器（源周波数発生部）が出力する基準信号と見立てると、VCO（基準信号生成手段）10 と、分周器 20 と、電圧比較器 40 と、位相比較器 60 と、LPF 70 とによって PLL 回路のようなものが構成される（一般的な PLL 回路では発振器（源周波数発生部）から発生（生成）する基準信号の周波数は変動しないが、この回路ではピエゾセンサ 2 から出力される検出信号を基準信号としているので基準信号が変動的であるという点で、一般的な PLL 回路とは異なっ

いる)。このように、本発明の共振制御装置 100 は、装置内部に PLL 回路のようなもの (PLL 回路の機能に類似した機能を有する回路) を構成したことにより、ピエゾ負荷 3 の駆動信号の周波数 (駆動周波数) に対して位相をロック (フェーズロック) した N 倍の周波数 (「N」は CPU 1 によって任意に設定可能) を持つ基準信号を形成 (生成) することができる。

【0031】

次に、図 2 のタイミングチャートを用いて、本発明の共振制御装置 100 の動作を説明する。図 2 は、図 1 に示す本発明の共振制御装置 100 の各構成要素の出力波形を示すタイミングチャートである。図 2 (A) は、基準信号となる VCO 10 の出力信号の波形であり、この出力信号を分周器 20 によって分周したもの、すなわち、分周器 20 の出力信号の波形が図 2 (B) に示される。この分周器 20 の出力信号の立ち上がりの位置 (立ち上がりタイミング) は、位相基準形成部 50 によって適正位相位置まで遅延される。位相基準形成部 50 の出力信号の波形は、図 2 (E) に示される。

【0032】

ピエゾセンサ 2 の出力信号の波形 (センサ出力波形) は、図 2 (C) に示すように、ピエゾ負荷 3 の駆動信号の周波数の上昇に応じて、その振幅を徐々に大きくしていく。図 2 (C) に示す所定のしきい値 (図では、「電圧比較部」として記載している) は、電圧比較部 40 の一端に入力される基準電圧設定手段 90 によって設定された電圧値である。この所定のしきい値よりもピエゾセンサ 2 の出力信号の波形が大きくなったとき、図 2 (D) に示すように、電圧比較器 40 の出力信号は、High レベルとなる。

【0033】

そして、位相比較器 60 は、図 2 (D) に示す電圧比較器 40 の出力信号の位相と、図 2 (E) に示す位相基準形成部 50 の出力信号の位相 (基準) とを比較する。なお、このタイミングチャートでは、第 1 の位相補正手段 51 によって電圧比較器 40 の出力信号の位相を遅延させていない場合を示している。図 2 (F) に示すように、位相比較器 60 は、位相基準形成部 50 の出力信号の立ち上がり位置が電圧比較器 40 の出力信号の立ち上がり位置よりも速い場合には High

hレベルの信号を出力し、その逆の場合はLowレベルの信号を出力している。

【0034】

図2 (D) 及び図2 (E) を用いて、図2 (F) に示す位相比較器60の動作を具体的に説明する。まず、ピエゾセンサ2の出力信号の波形が電圧比較部40において引っ掛からない場合、すなわち、ピエゾセンサ2の出力信号の振幅が基準電圧設定手段90によって設定される基準電圧よりも小さい場合には、位相基準形成部50の出力信号の波形にかかわらず、位相比較器60は、Highレベルの信号を出力する。最初に電圧比較器40の出力信号がHighレベルになると、それに対応して位相比較器60の出力信号は0 (Hi-Z) になる。続いて、位相基準形成部50の出力信号が立ち上がると、位相比較器60の出力信号はHighレベルになる。その後、電圧比較器40の出力信号が立ち上がると、位相比較器60の出力信号は0になる。図2 (F) ではこの状態 (パルスが立ち上がる状態) が2度発生している。その後、今度は、位相基準形成部50の出力信号の立ち上がりよりも先に電圧比較器40の出力信号が立ち上がると、逆に、位相比較器60の出力信号はLowレベルとなる。次に位相基準形成部50の出力信号が立ち上がると、位相比較器60の出力信号はまた0になる。以降、同様の処理を繰り返す。なお、このタイミングチャートでは、デューティ比>50%の場合を示しているので、位相比較器60は、位相基準形成部50の出力信号の立ち上がり位置を用いて位相比較をしている。

【0035】

LPF70の出力信号 (電圧信号) の波形は、図2 (G) に示すように、位相比較器60の出力信号の波形に対応しており、位相比較器60の出力信号がHighレベルの間、LPF70の出力信号は上昇し、位相比較器60の出力信号が0レベルの間、LPF70の出力信号は一定レベルで保持され、位相比較器60の出力信号がLowレベルの間、LPF70の出力信号は下降する。したがって、位相基準形成部50の出力信号の立ち上がり位置 (立ち上がりタイミング) に対して、電圧比較器40の出力信号の立ち上がり位置 (立ち上がりタイミング) が遅い場合には、VCO10の出力信号の周波数を高くするために、LPF70の出力信号の電圧値は上昇し、反対に、位相基準形成部50の出力信号の立ち上

がり位置（立ち上がりタイミング）に対して、電圧比較器 40 の出力信号の立ち上がり位置（立ち上がりタイミング）が早い場合には、VCO10 の出力信号の周波数を低くするために、LPF70 の出力信号の電圧値は下降する。

【0036】

このように、本発明の共振制御装置 100 では、駆動信号に対するピエゾ負荷 3 の駆動状態をピエゾセンサ 2 によって検出し、その検出信号に基づいて、ピエゾ負荷 3 の駆動信号の周波数を自己補正するので、従来の CPU（プロセッサ）を用いる共振制御装置に比べて、ピエゾ負荷 3 の共振周波数を得るまでの時間を短縮することができ、姿勢制御などの急速な駆動を実現させるようなピエゾ駆動周波数にも十分に耐え得るものとなる。

【0037】

次に、ピエゾ効果を利用するピエゾ負荷を用いる場合における共振周波数特性について説明する。図 3 は、ピエゾ負荷の共振周波数特性を示すグラフである。ピエゾ負荷 3 は、図 3 に示すような共振周波数特性を持つことが知られており、ピーク点（図の斜線部分）が共振周波数領域（ピエゾ素子は共振周波数 f_c の共振点を有する）となる。この共振点は、物理的（物性的）に決まるものであり、共振周波数が常に変動するようなピエゾ負荷を用いた駆動装置などでは、ロータの形状や摩耗状態、湿度、あるいは負荷特性などによって変動してしまう。このように、ピエゾ負荷 3 は、共振周波数（共振点）において最大の電圧（エネルギー）を得ることができるが、従来の共振制御装置のように、周波数を徐々に上昇させて共振点を得るのでは時間がかかってしまう。そのため、本発明の共振制御装置 100 は、電圧比較器 60 によってピエゾセンサ 2 の出力信号を所定の電圧値と電圧比較することにより、図 3 の共振周波数領域よりも低い周波数領域を無視して（飛び越して）、電圧比較器 60 のしきい値を超える範囲において位相比較器 60 により位相比較を行って位相点（共振点）に向けて周波数を収束させ、共振周波数（共振点）を得るように構成されている。したがって、本発明の共振制御装置 100 によって、共振周波数（共振点）を得るまでの時間を大幅に短縮することができる。

【0038】

次に、ピエゾ負荷のピエゾ応答速度特性について説明する。図4は、駆動信号のデューティ比と駆動ベクトル比の関係を概略的に示すグラフである。図4に示すように、ピエゾ負荷3の駆動ベクトル比は、デューティ比が50%のときに最大(100%)となり、10%及び90%のときに0%となっている。そして、デューティ比が10%~50%、あるいは50%~90%において、駆動ベクトル比は、概ねリニア(線形的)に推移している。そのため、このような領域のデューティ比でPWM制御をすることにより、アナログ的な駆動ベクトル制御をすることができる。また、図4から分かるように、ピエゾ応答速度特性のグラフは、デューティ比50%のラインに対して線対称となっている(例えば、デューティ比が80%における電圧値とデューティ比が20%における電圧値は概ね等しくなっている)。

【0039】

したがって、この特性を利用して、ピエゾ負荷3をPWM制御することが期待できる。すなわち、駆動信号のデューティ比が10%~50%の範囲か、あるいは50%~90%の範囲のいずれかを用いることによって、ピエゾ負荷3を駆動するための出力を0%~100%の間で適宜変動させることができる。このことは、従来のモータなどのPWM制御のように、駆動信号のデューティ比にしたがってアクチュエータなどをオン/オフしなくてもよいことを意味する。負荷としてピエゾ素子を用いる場合、アクチュエータなどをオフした後にはオンする際に再度共振周波数(共振点)を得るための処理を実行しなければならなかったが、本発明の共振制御装置100では、ピエゾ応答速度特性を利用してPWM制御をすることによって、駆動信号の周波数をピエゾ負荷3の共振周波数に維持したまま駆動ベクトル比を制御することが可能となる。なお、「駆動ベクトル比」とは、駆動信号のデューティ比が50%のときの駆動ベクトル(出力)を100%とした場合における各デューティ比に対する駆動ベクトルの割合を意味する。

【0040】

次に、デューティ制御における位相比較位置特性を説明する。図5は、デューティ制御部30によって制御されるデューティ比と位相基準形成部50において決定される位相比較位置との関係を示す図である。図5(A)は、分周器20の

出力信号、すなわち、駆動信号のデューティ比が50%未満の場合における各構成要素の出力信号を示しており、図5(B)は、駆動信号のデューティ比が50%より大きい場合における各構成要素の出力信号を示している。

【0041】

この図5において位相比較位置として示しているように、デューティ比が50%未満の場合では、位相基準形成部50は、その出力信号の立ち上がり位置を、後段の位相比較器60における位相比較位置として決定し、逆に、デューティ比が50%よりも大きい場合には、位相基準形成部50は、その出力信号の立ち下がり位置を位相比較位置として決定している。位相基準形成部50が位相比較位置をデューティ比によって設定変更するのは、ピエゾセンサ2から出力される検出信号が電圧比較器40において電圧比較されて出力される電圧比較信号、すなわち、図5(A)、(B)における第1の位相補正手段の出力信号の波形(上から3番目の波形)において、デューティ比が0%(デューティ比<50%の場合)、50%(デューティ比>50%の場合)の位置が位相ロックされているためである。すなわち、デューティ比<50%でPWM制御をしているとき、位相基準形成部50の出力信号の波形の立ち上がり位置を位相比較位置とした場合には、デューティ制御部30の制御によって出力信号の波形が変動する位置を基準に位相比較器60において位相比較していることとなり、制御が安定しないこととなる。デューティ比>50%の場合も同様である。したがって、本発明の共振制御装置100では、位相基準形成部50は、分周器20の出力信号の位相を遅延(補正)させるとともに、位相比較位置を設定(決定)可能に構成されている。

【0042】

次に、ピエゾ負荷(ピエゾ素子)3を駆動する駆動回路(ドライバ)80について説明する。図6は、図1のドライバ80の回路構成の一例を概略的に示す図である。この図6に示すように、ドライバ80は、4つのトランジスタTr1、Tr2、Tr3、Tr4と、電圧源と、1つの論理否定回路(NOT回路)NOT1とから構成される。

【0043】

駆動信号としてデューティ制御された矩形波がドライバ80に入力されると、

駆動信号の High レベルのとき、その High レベルの信号によってトランジスタ Tr_2 がオンするとともに、NOT 回路 NOT1 を介して反転された Low レベルの信号によって Tr_3 がオンして、図 6 に示す電流 I_b がその矢印の方向にピエゾ負荷 3 を流れる。逆に、駆動信号が Low レベルのとき、2 つのトランジスタ Tr_1 、 Tr_4 がオンして、図 6 に示す電流 I_a がその矢印の方向にピエゾ負荷 3 を流れる。本発明の共振制御装置 100 では、このように構成されたドライバ 80 によって、ピエゾ負荷 3 に交流電流に類似した駆動電流を供給することができる。

【0044】

ここで、ピエゾ負荷 3 を駆動するために供給する駆動アナログ制御信号が一定の出力（電圧値）まで所定の割合（傾き）で上昇するような信号である場合における、各信号の波形を図 7 に示す。基準信号（図 7（B））として所定の周波数を持つ信号が分周器 20 から出力されると、デューティ制御部 30 は、図 7（A）に示す駆動アナログ制御信号の変化（変動）に対応するように、ピエゾ負荷 3 に入力される駆動信号のデューティ比を設定する。そして、図 7（C）に示す駆動信号がドライバ 80 に入力されると、ピエゾ負荷 3 間には図 7（D）の波形を持つ入力信号が供給される。

【0045】

なお、この図 7 では、図 4 に示すピエゾ負荷 3 のピエゾ応答速度特性において、デューティ制御部 30 が 10%～50% の範囲でデューティ比を設定する場合を示している。ここで、一定の出力をピエゾ負荷 3 の駆動ベクトル比が 100% として設定しているので、駆動アナログ制御信号の出力（電圧値）が一定値に収束したときの、駆動信号及びピエゾ負荷間に供給される信号のデューティ比は、図 7 に示すように、50% となっている。

【0046】

次に、本発明の共振制御装置 100 のもう一つの実施形態を説明する。本実施形態では、共振制御装置 100 を用いて、ピエゾ負荷 3 を正逆駆動制御あるいは正二重駆動制御する場合（応用例）について示す。図 8 は、本発明の共振制御装置 100 により駆動制御されるピエゾ負荷 3 を含む振動体 81 及び／又は 82 に

よってロータ 300 を回転させる場合の構成例を示す。図 8 (A) は、ロータ 300 を正駆動用振動体 81 と逆駆動用振動体 82 とによって回転する場合を示し、図 8 (B) は、ロータ 300 を 2 つの正駆動用振動体 81 によって回転する場合を示す。

【0047】

このように、図 8 (A) に示す構成では、正逆駆動用の振動体 81、82 を 1 つのロータ 300 に用いる（適用する）ことにより、ロータ 300 を両方向に回転制御することができる。また、図 8 (B) に示す構成では、2 つの正駆動用の振動体 81 を 1 つのロータ 300 に用いる（適用する）ことにより、ロータ 300 を回転させる駆動力を理論的に 0%～200% の範囲で設定変更することが可能となる。

【0048】

なお、1 つのロータ 300 に適用される振動体 81 又は 82 の数量は、この図 8 に示すような 2 つに限定されず、本発明では 1 つのロータ 300 に対して振動体 81 及び／又は 82 をいくつ用いてもよい。また、図 8 (A) に示す構成において、正駆動用振動体 81 と逆駆動用振動体 82 は、好ましくは、それぞれ別々の 2 つのデューティ制御部 30 によって駆動制御されるが、図 8 (B) に示す構成においては、2 つの正駆動用振動体 81 は、それぞれ別々に 2 つのデューティ制御部 30 によって、あるいは 1 つのデューティ制御部 30 によって協働して駆動制御されてもよい。

【0049】

図 8 (A) に示す正逆駆動用の振動体 81、82（すなわち、正駆動用のピエゾ負荷 3 と逆駆動用のピエゾ負荷 3）を用いる場合のドライバの構成を図 9 に、そのドライバを駆動する駆動信号の波形を図 10 に示す。図 9 は、図 8 (A) に示すピエゾ負荷を正逆駆動制御する場合の本発明の共振制御装置 100 の一部の構成を示す図である。

【0050】

この図 9 に示すように、正駆動用のピエゾ負荷 3a 及び逆駆動用のピエゾ負荷 3b を駆動制御する本発明の共振制御装置 100 は、図 1 のデューティ制御部 3

0の代わりに、正駆動用デューティ制御部31と、逆駆動用デューティ制御部32とを備えている。また、共振制御装置100は、ドライバ80の代わりに、正駆動用ドライバ80aと、逆駆動用ドライバ80bとを備えている。CPU1は、正駆動用デューティ制御部31及び逆駆動用デューティ制御部32をそれぞれ制御し、それによって、正駆動用デューティ制御部31は、分周器20から出力される基準信号に基づいて、正駆動用のピエゾ負荷3aを駆動するための正駆動信号のデューティ比を設定し、逆駆動用デューティ制御部32は、逆駆動用のピエゾ負荷3bを駆動するための逆駆動信号のデューティ比を設定する。

【0051】

なお、図示していないが、正駆動用ピエゾ負荷3aの駆動と同期する正駆動用ピエゾセンサがこの正駆動用ピエゾ負荷3aと接して配置されており、同様に、逆駆動用ピエゾ負荷3bの駆動と同期する逆駆動用ピエゾセンサがこの逆駆動用ピエゾ負荷3bと接して配置されている。これらのピエゾセンサの検出信号（出力信号）を上述のように処理することによって、正駆動用ピエゾ負荷3aと逆駆動用ピエゾ負荷3bを独立して駆動制御することができる。

【0052】

図10は、基準信号に対する、正駆動用デューティ制御部及び逆駆動用デューティ制御部によって制御される正逆駆動用の駆動信号の波形を示す図である。共振制御装置100の分周器20から出力された基準信号（図10（A））に基づいて、正駆動用デューティ制御部31及び逆駆動用デューティ制御部32によって設定制御された正駆動用駆動信号（図10（B））及び逆駆動用駆動信号（図10（D））が、正駆動用ドライバ80a及び逆駆動用ドライバ80bに入力される。正駆動用ピエゾ負荷3a間には、図10（C）に示す駆動信号が入力され、逆駆動用ピエゾ負荷3b間には、図10（E）に示す駆動信号が入力される。

【0053】

このように、本実施形態における共振制御装置100では、図8（A）に示すような2つのピエゾ負荷3を正駆動制御及び逆駆動制御をすることができる。図10に示す駆動信号により2つの振動体81、82を駆動制御したとき、始めに正駆動用の振動体81が出力100%で駆動され、図のX方向にロータ300は

回転駆動される。続いて、図10(E)に示す期間Lの間、正駆動用の振動体81及び逆駆動用の振動体82のいずれも出力0%となり、ロータ300は停止する。そして、今度は、逆駆動用の振動体82が出力100%で駆動され、図のY方向にロータ300は回転駆動される。なお、この図10のピエゾ負荷3a及び3bへの入力信号においても、図7に示した場合と同様に、10%～50%の範囲のデューティ比を用いている。しかしながら、本発明の共振制御装置100は、上述のように、50%～90%の範囲のデューティ比を利用して駆動信号を生成した場合でも同様の駆動（作動）を実現することができる。

【0054】

以上のように、本発明の一実施形態における共振制御装置100は、基準信号生成手段であるVCO10から出力される基準信号を分周器20によって分周して得られた所定の周波数を持つ信号を位相基準形成部50によって位相遅延して得られた信号と、ピエゾセンサ2から出力される検出信号を電圧比較器40によって所定の電圧値と電圧比較し、電圧比較器40の出力信号（電圧比較信号）を必要に応じて第1の位相補正手段51によって位相遅延して得られた信号とを、位相比較器60において位相比較し、位相比較器60の出力信号（位相比較信号）をLPF70によって高域成分除去してVCO10に帰還（フィードバック）するように構成している。

【0055】

本発明の共振制御装置100及び共振デバイスの制御方法によれば、駆動制御するピエゾ負荷3の駆動状態をピエゾセンサ2によって検出し、予め設定された所定の電圧値と検出信号の波形を電圧比較することによって、ピエゾ負荷3の共振周波数領域まで駆動信号の周波数を一時に高めてフィードバックし、ピエゾ負荷3の共振点を得て、その共振点でピエゾ負荷3を駆動制御している。

【0056】

したがって、本発明の共振制御装置100及び共振デバイスの制御方法によって、姿勢制御などの急速な駆動を実現させるような駆動制御においても共振周波数を得るまでの時間が十分に短く、そのため、姿勢制御の対象物の静止・動作を瞬時に制御できるので（デューティ比を制御できるので）、ピエゾ負荷3を駆動

制御するのに十分に耐えることができる。

【0057】

また、本発明の共振制御装置100は、アナログ信号であるピエゾセンサ2からの検出信号を電圧比較することにより矩形波としているので、電圧比較信号以降の制御をデジタル制御とすることができ、それによって回路全体にデジタルによる制御部（構成要素）が多くなり、ICによる集積化を容易に実現することができる。さらに、CPU1によって積分や周波数判断などの処理を行うことなくピエゾ負荷3を駆動制御できるので、共振制御装置100の回路規模を小さく抑える（スケールダウンする）ことが可能である。

【0058】

なお、本実施形態では、駆動信号のデューティ比が10%～50%の範囲のときのピエゾ負荷3の駆動制御について説明したが、上述のように、本発明は、デューティ比がこのような範囲にある場合に限らず、駆動信号のデューティ比が50%～90%までの範囲の駆動信号を用いてもよい。

【0059】

以上、本発明の共振制御装置を図示の各実施形態に基づいて説明したが、本発明は、これに限定されるものではなく、共振制御部を構成する各部は、同様の機能を発揮し得る任意の構成のものと置換することができる。また、本発明の共振制御装置に、任意の構成物が付加されていてもよい。

【図面の簡単な説明】

【図1】 本発明の共振制御装置の主要部（回路構成図）を示す概略的なブロック図である。

【図2】 図1に示す共振制御装置の各構成要素の出力波形を示すタイミングチャートである。

【図3】 ピエゾ負荷の共振周波数特性を示すグラフである。

【図4】 駆動信号のデューティ比と駆動ベクトル比の関係を概略的に示すグラフである。

【図5】 デューティ制御部によって制御されるデューティ比と位相基準形成部において決定される位相比較位置との関係を示す図である。

【図 6】 図 1 のドライバの回路構成の一例を概略的に示す図である。

【図 7】 ピエゾ負荷を駆動するために供給する駆動アナログ制御信号が一定出力まで所定の割合で上昇するような信号である場合の各信号の波形を概略的に示す図である。

【図 8】 本発明の共振制御装置を用いて駆動制御するピエゾ負荷を含む振動体によってロータを回転させる場合の構成を示す図である。

【図 9】 図 8 (A) に示すピエゾ負荷を正逆駆動制御する場合の本発明の共振制御装置の一部の構成を示す図である。

【図 10】 基準信号に対する、正駆動用デューティ制御部及び逆駆動用デューティ制御部によって制御される正逆駆動用の駆動信号の波形を示す図である。

【図 11】 従来の共振制御装置の主要部を概略的に示すブロック図である。

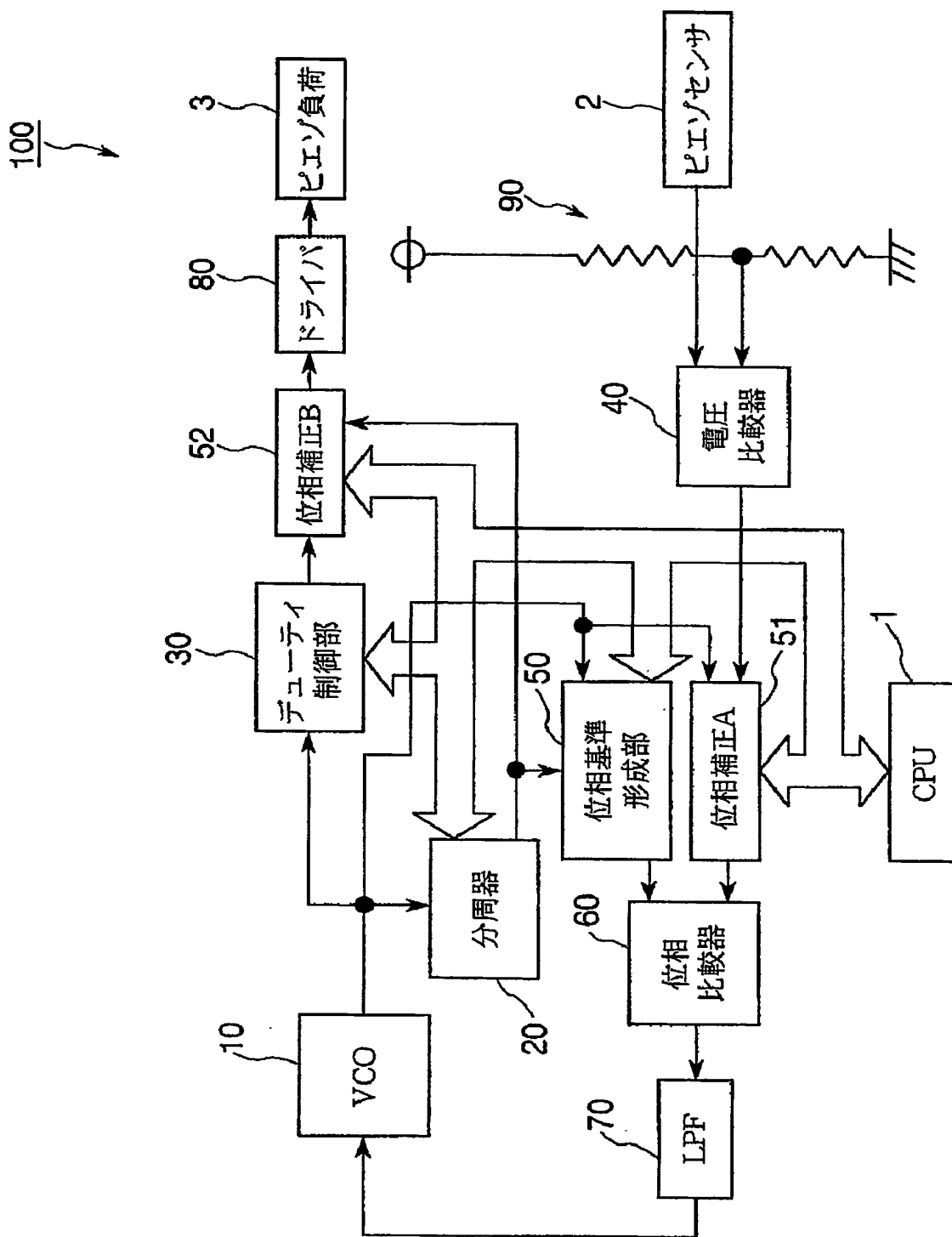
【符号の説明】

100……本発明の共振制御装置、10……VCO、20……分周器、30……デューティ制御部、31……正駆動用デューティ制御部、32……逆駆動用デューティ制御部、40……電圧比較器、50……位相基準形成部、51……第1の位相補正手段、52……第2の位相補正手段、60……位相比較器、70……ローパスフィルタ (LPF)、80……ドライバ、80a……正駆動用ドライバ、80b……逆駆動用ドライバ、81……正駆動用振動体、82……逆駆動用振動体、90……基準電圧設定手段、1……CPU、2……ピエゾセンサ、3……ピエゾ負荷、3a……正駆動用ピエゾ負荷、3b……逆駆動用ピエゾ負荷、300……ロータ、Tr1～Tr4……トランジスタ、Tr11～Tr24……トランジスタ、200……従来の共振制御装置、4……AMP部、5……GAIN調整AMP部、6……ADC、7……DAC、8……DAC

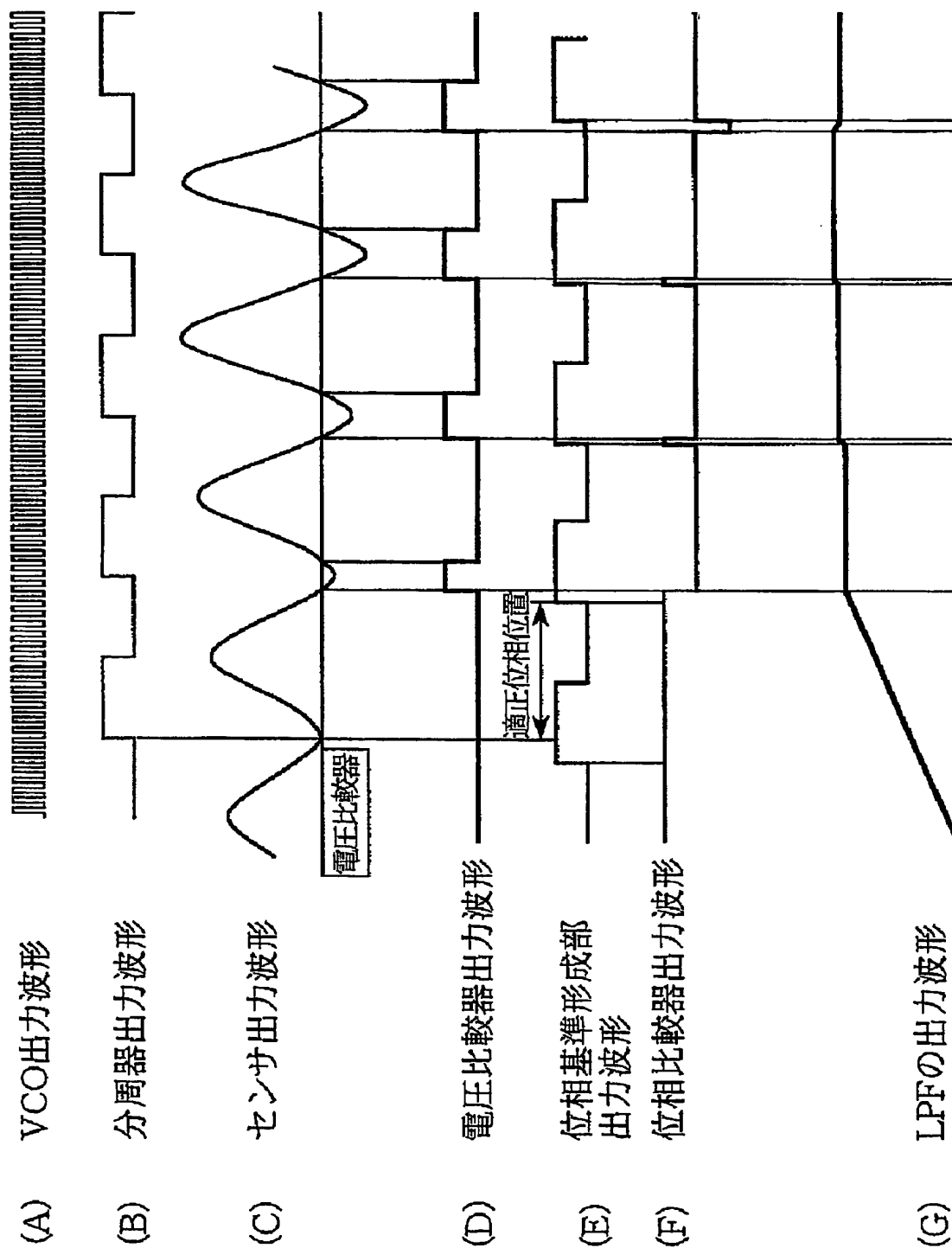
【書類名】

図面

【図 1】

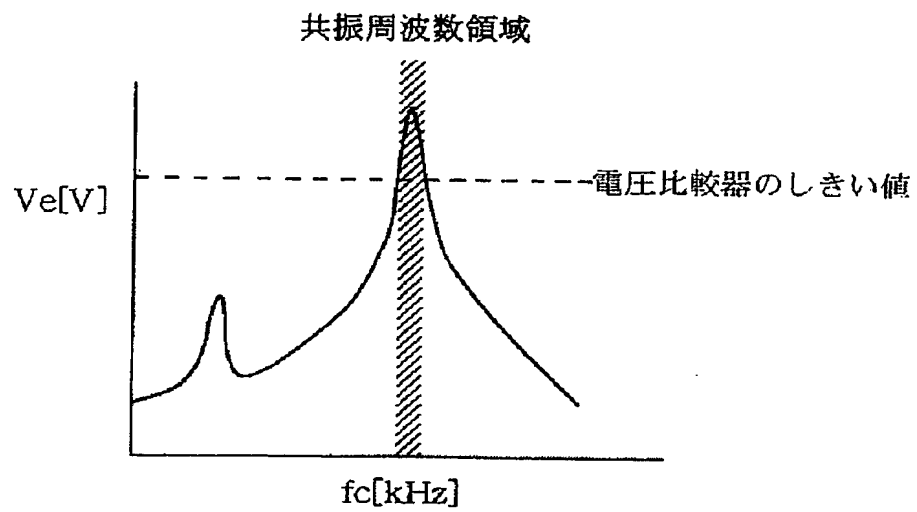


【図2】

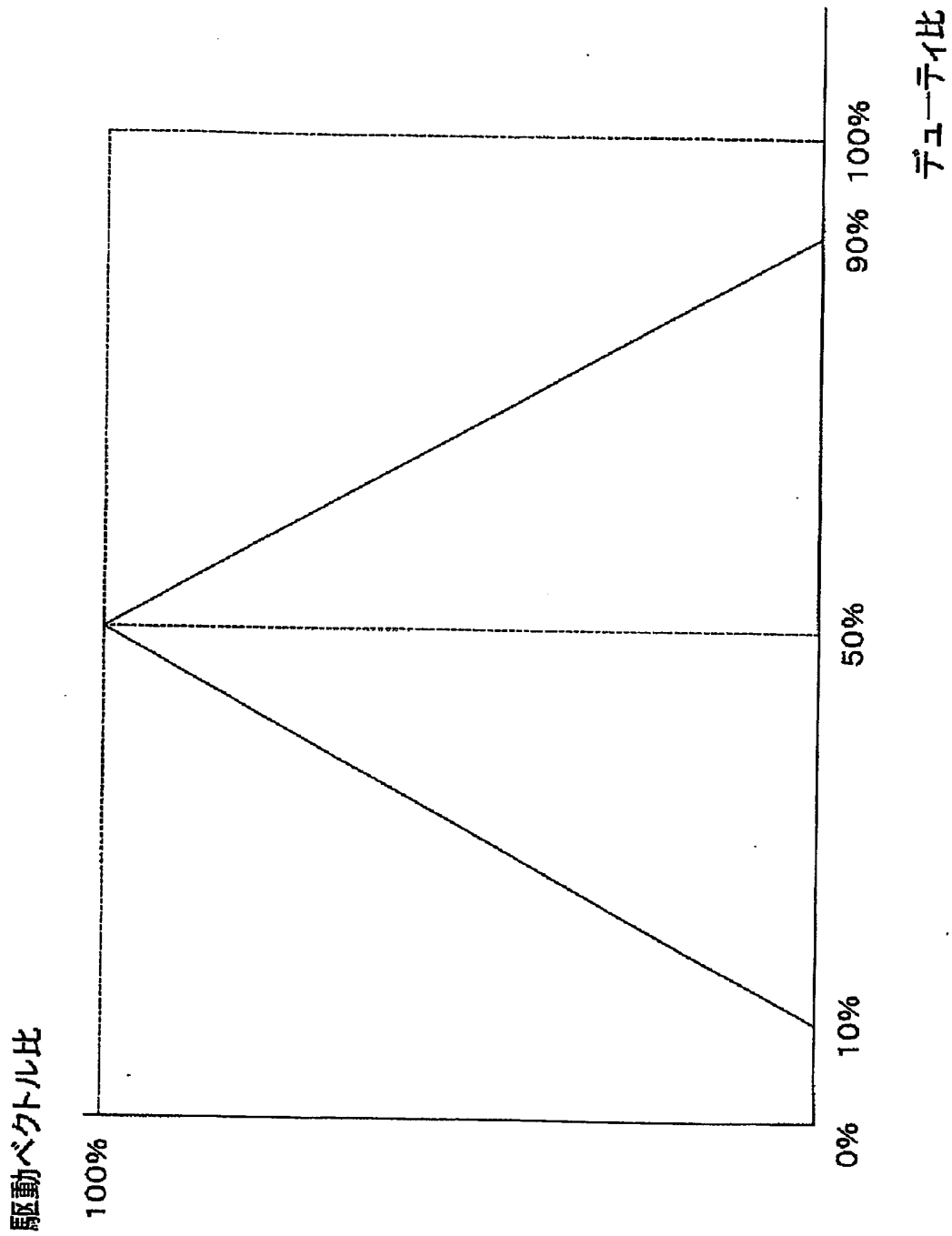


【図 3】

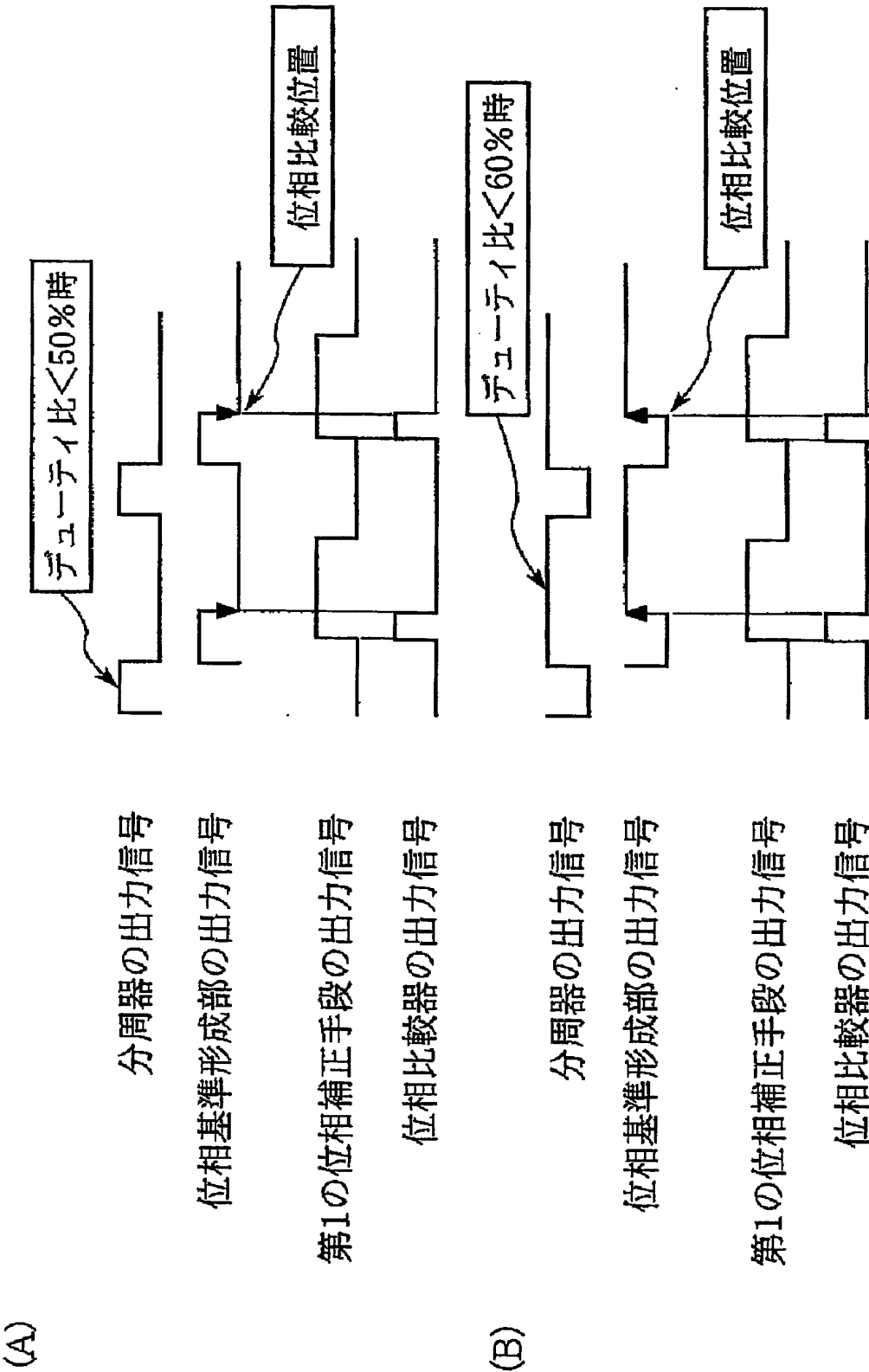
ピエゾの利用する共振周波数特性



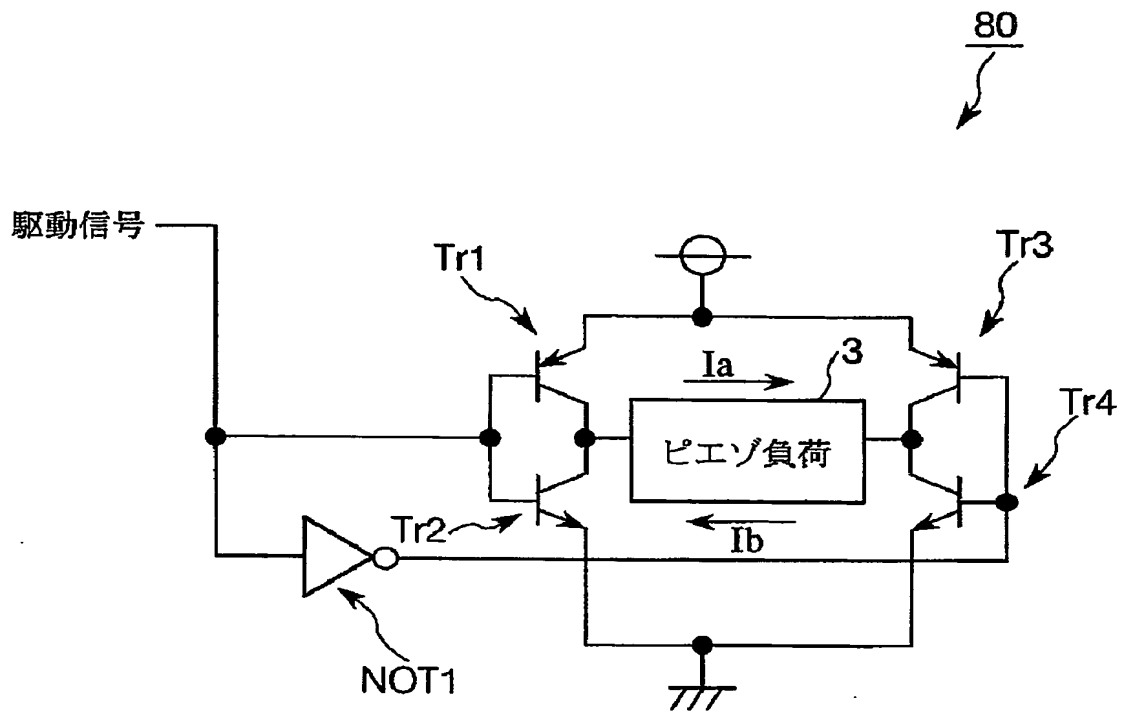
【図 4】



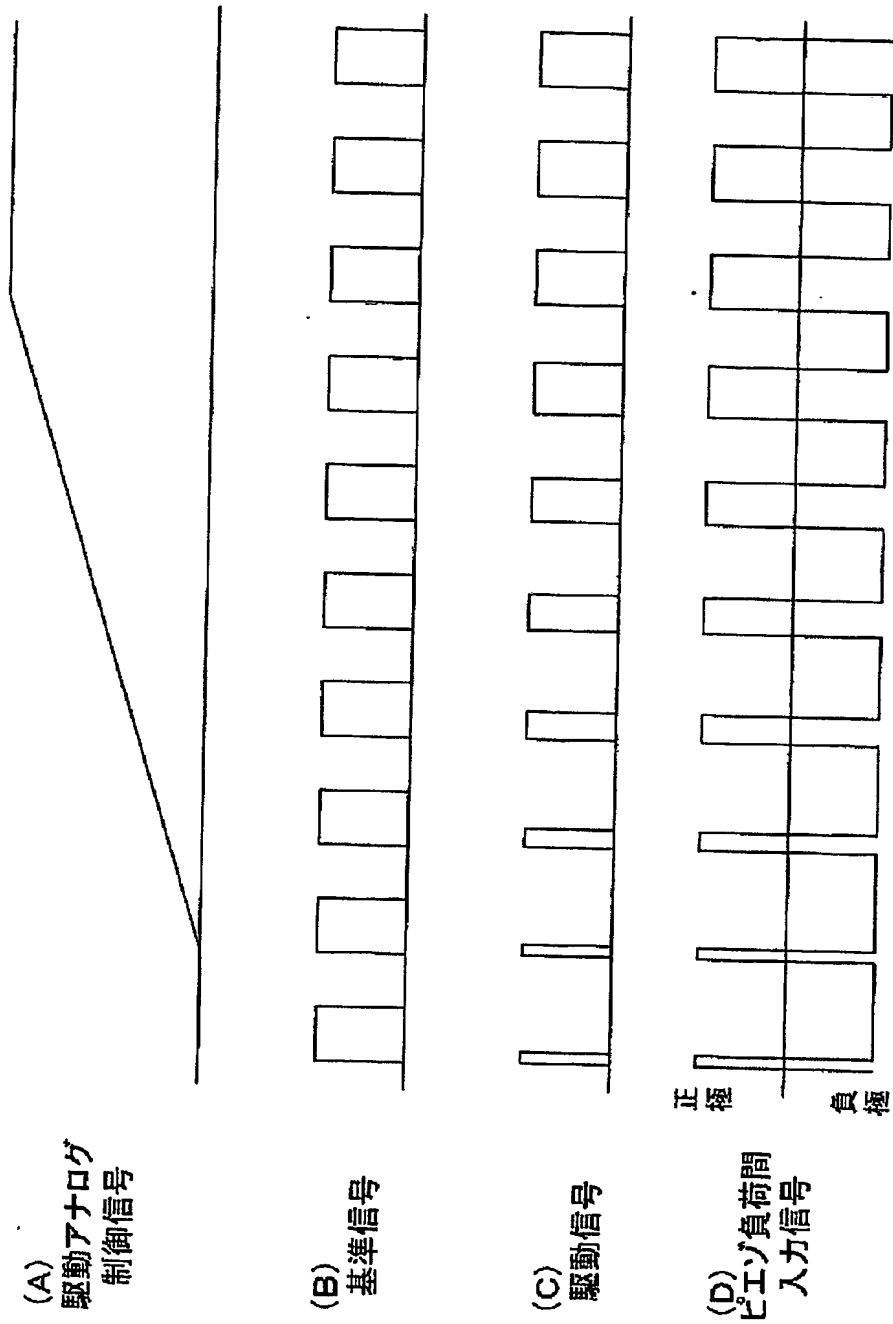
【図 5】



【図 6】

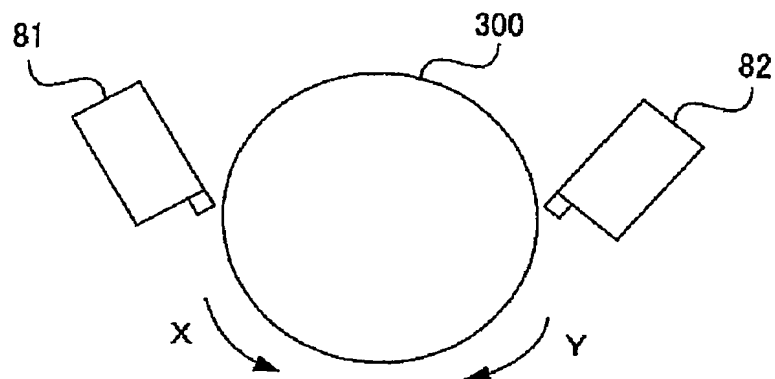


【図 7】

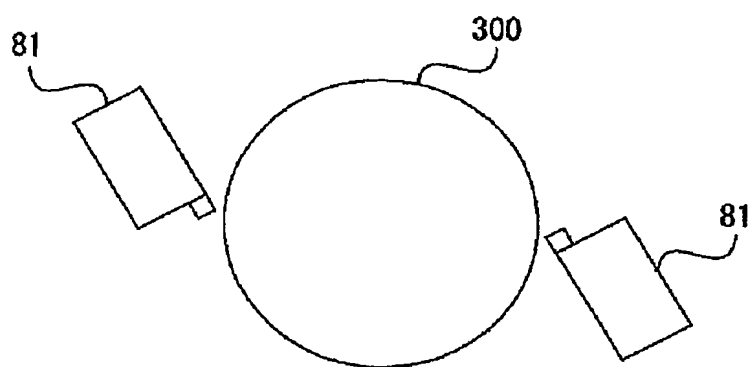


【図 8】

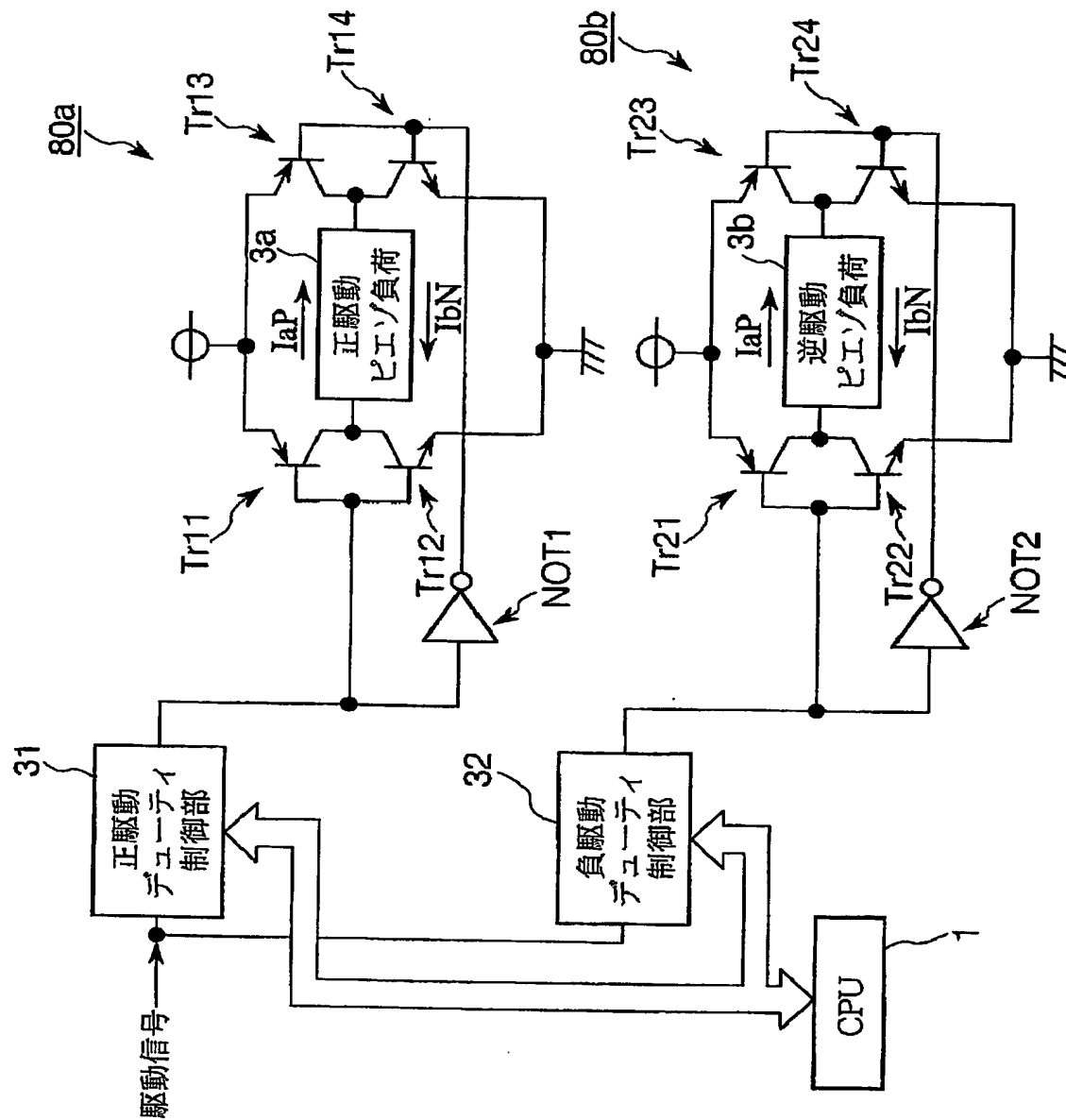
(A)



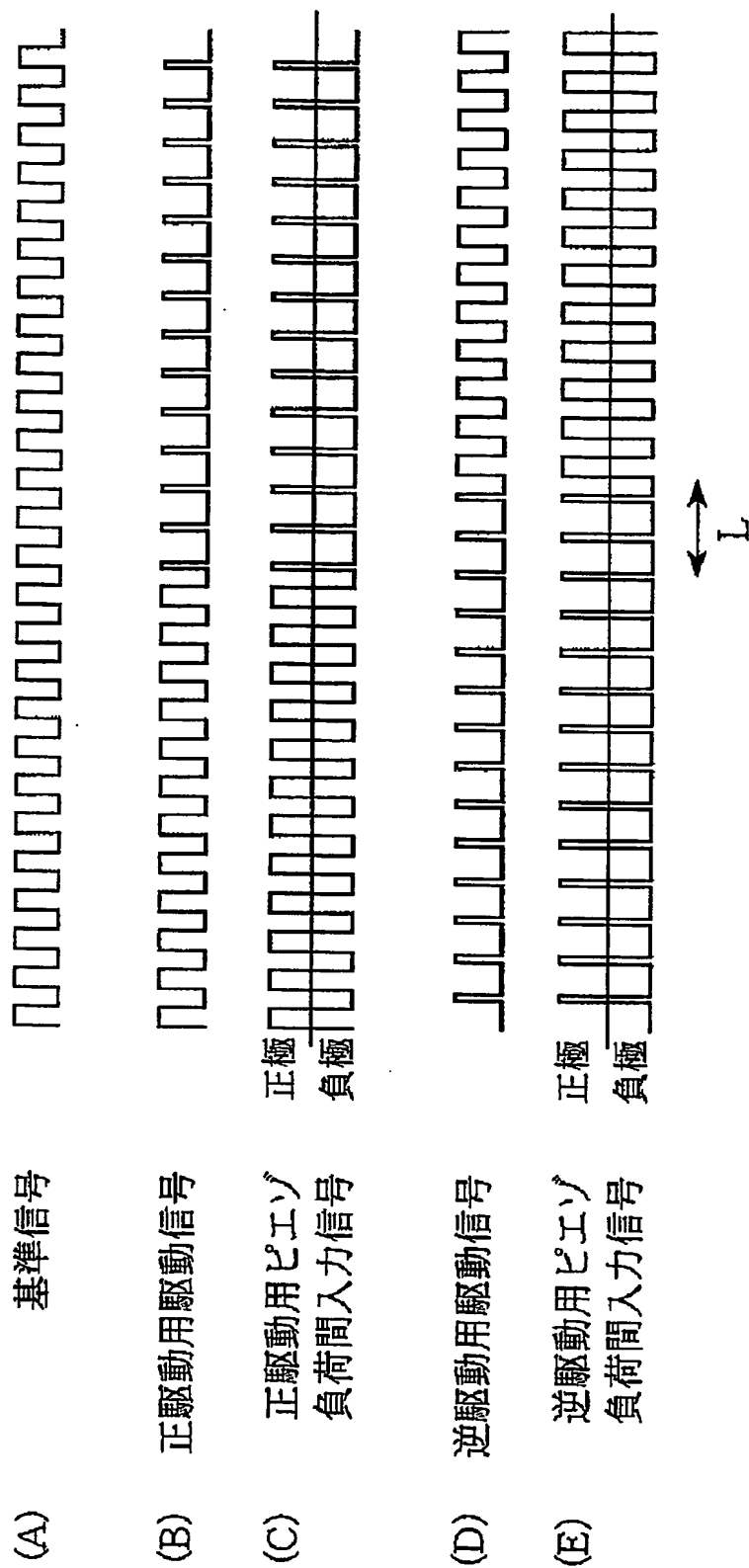
(B)



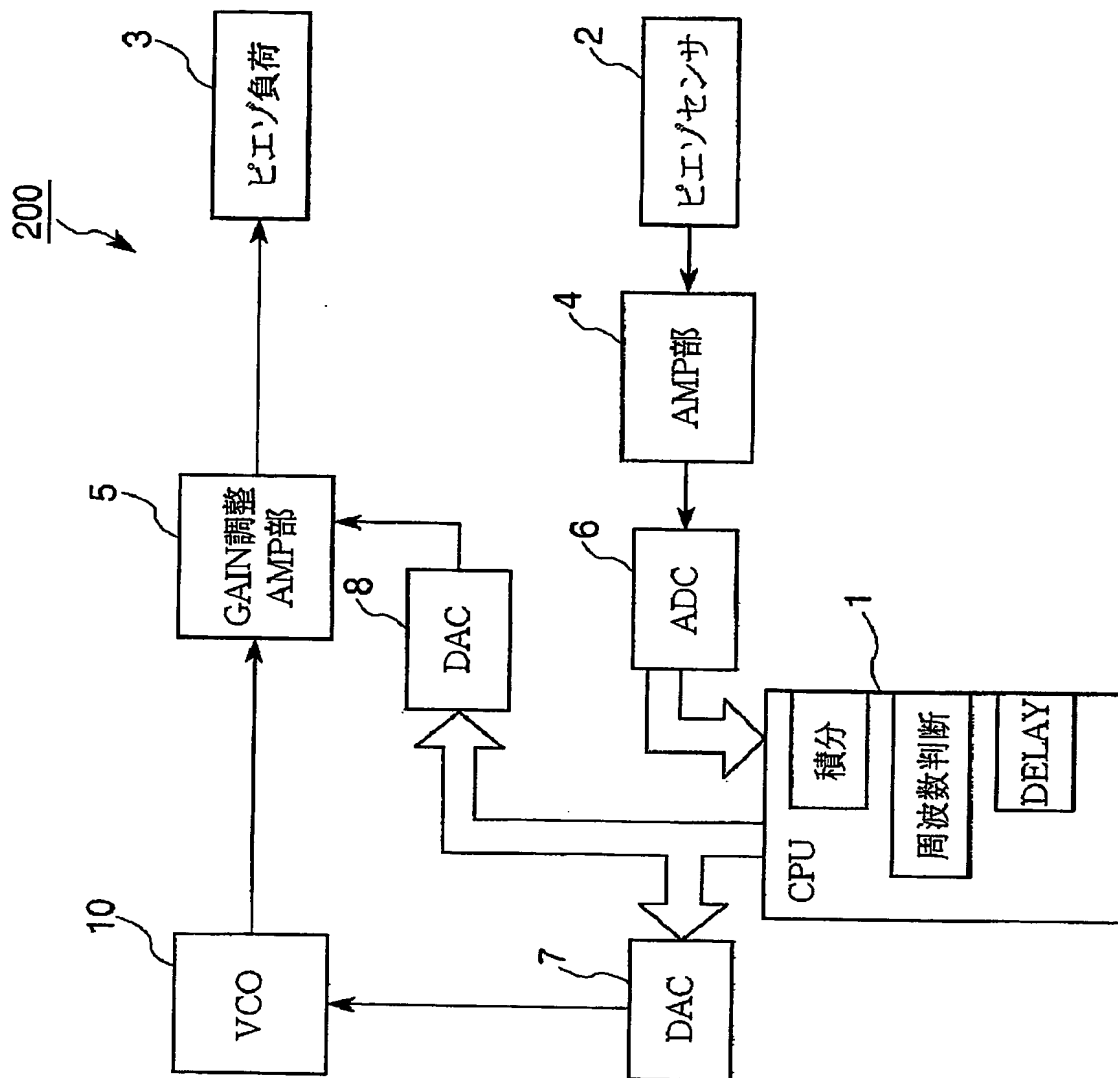
【図 9】



【図 10】



【図 11】



【書類名】

要約書

【要約】

【課題】 共振デバイスの共振周波数を得るまでの時間が短く、ICへの集積化が容易であり、回路規模を小さくできる共振制御装置を提供する。

【解決手段】 本発明の共振制御装置100は、所定の周波数を持つ基準信号を生成するVCO10と、この基準信号の周波数を分周して、所定の周波数の信号を出力する分周器20と、分周された信号の位相を所定の間隔だけ遅延させる位相基準形成部50と、ピエゾ負荷3の駆動に同期してピエゾ負荷3の駆動状態を検出するピエゾセンサ2の出力信号の電圧値と所定の電圧値とを比較する電圧比較器40と、電圧比較器40から出力される信号の位相と位相基準形成部50から出力される信号の位相とを比較する位相比較器60と、VCO10から出力される基準信号に基づいて、ピエゾ負荷3に供給する駆動信号のデューティ比を制御するデューティ制御部30とから構成される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 5 0 3 7
受付番号	5 0 3 0 0 0 3 6 7 7 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 1 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月10日
-------	-------------

次頁無

特願 2003-005037

出願人履歴情報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社